

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(11)特許出願公開番号

特開平4-238199

(43)公開日 平成4年(1992)8月26日

### 技術表示箇所

3 7 1 D

11/401

8526-5L

審査請求 未請求 請求項の数 3 (全 5 頁)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会  
社

神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 發明者 山下 一夫

神奈川県川崎市中原区小杉町一丁目403番  
53日本電気アイシーマイコンシステム株式  
会社内

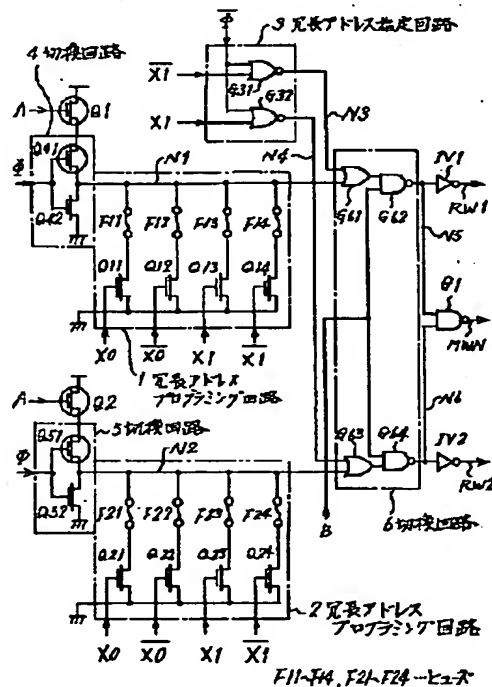
(74)代理人 弁理士 内原 晋

(54) 【発明の名称】 冗長アドレス選択回路

(57) 【要約】

【構成】冗長アドレスを直接指定、選択するための信号を発生する冗長アドレス指定回路3を設ける。制御信号φ及びその反転信号により、冗長アドレス指定回路3の出力信号と冗長アドレスプログラミング回路1、2の出力信号とを切換える切換回路4～6を含む切換手段を設ける。

【効果】制御信号Φを所定のレベルにすることにより、冗長アドレスプログラミング回路がプログラミングされているか否かに関係なく、直接冗長メモリセルアレイのアドレスを選択できるので、冗長アドレスプログラミング回路をプログラミングする前に冗長メモリセルアレイの良否を確認することができ、冗長アドレスプログラミング回路のプログラミング後の冗長メモリセルアレイによる不良をなくすことができ、製品の歩留りが向上する。



1

## 【特許請求の範囲】

【請求項1】 主メモリセルアレイのメモリセルに不良が発生したときに代替え使用される冗長メモリセルアレイのメモリセルを所定の単位で選択するための複数の冗長アドレス線とそれぞれ対応して設けられ、複数のヒューズ素子及びトランジスタを備えてアドレス信号を入力しこのアドレス信号が前記主メモリセルアレイの不良メモリセルの存在するアドレスを指定したとき前記各ヒューズ素子の切断、非切断の状態に応じて対応する前記冗長アドレス線を選択レベルにするための信号を出力する冗長アドレスプログラミング回路と、制御信号が第1のレベルのとき前記複数の冗長アドレス線のうちの1つを選択レベルにし第2のレベルのときインアクティブレベルにするための信号を出力する冗長アドレス指定回路と、前記制御信号が第1のレベルのとき前記冗長アドレス指定回路の出力信号により前記複数の冗長アドレス線のうちの1つを選択レベルとし、第2のレベルのとき前記各冗長アドレスプログラミング回路の出力信号により対応する前記冗長アドレス線のレベルを制御する切換手段と、前記複数の冗長アドレス線のうちの1つが選択レベルになったとき前記主メモリセルアレイのアドレスの選択を停止する信号を出力する論理回路とを有することを特徴とする冗長アドレス選択回路。

【請求項2】 制御信号を、外部から制御して発生することができる手段を備えた請求項1記載の冗長アドレス選択回路。

【請求項3】 切換手段が、各冗長アドレスプログラミング回路とそれぞれ対応して設けられ制御信号が第1のレベルのとき対応する前記冗長アドレスプログラミング回路の出力信号をインアクティブレベルにする複数の第1の切換回路と、前記制御信号が第2のレベルのとき出力信号を全てインアクティブレベルにする冗長アドレス指定回路と、前記各冗長アドレスプログラミング回路の出力信号及び前記冗長アドレス指定回路の対応する出力信号のうちの、前記制御信号によりインアクティブレベルとなっていない方の信号をそれぞれ出力する第2の切換回路とを含んで構成された請求項1記載の冗長アドレス選択回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は冗長アドレス選択回路に関し、特に主メモリセルアレイのメモリセルに不良が発生したときに代替え使用される冗長メモリセルアレイのアドレスを選択する冗長アドレス選択回路に関する。

【0002】

【従来の技術】 近年、半導体記憶装置においては、高集積化に伴う歩留の低下を避ける為、冗長機能を設けている。冗長機能は冗長アドレス選択回路からの信号によって動作する。DRAMを例にとり、従来の冗長アドレス選択回路について説明する。説明の簡略化の為、ワー

2

ド線置換方式についてのみ述べるが、ビット線置換方式についても同様である。

【0003】 図2は従来の冗長アドレス選択回路の一例を示す回路図である。

【0004】 冗長アドレスプログラミング回路1, 2は、主メモリセルアレイのメモリセルに不良が発生したときに代替え使用される冗長メモリセルアレイのメモリセルをワード単位で選択するための複数の冗長アドレス線とそれぞれ対応して設けられ、レーザ等により切断可能な複数のヒューズF11~F14, F21~F24及びトランジスタQ11~Q14, Q21~Q24を備えてアドレス信号X0, X1及びその反転信号を入力しこのアドレス信号X0, X1及びその反転信号が主メモリセルアレイの不良メモリセルの存在するアドレスを指定したとき各ヒューズF11~F14, F21~F24の切断、非切断の状態に応じて対応する冗長アドレス線を選択レベルにするための信号を出力する。

【0005】 トランジスタQ1, Q2は、プリチャージ信号Aに従って、対応する冗長アドレスプログラミング回路1, 2の出力端N1, N2のレベルを予め高レベルにプリチャージする。

【0006】 切換回路6aは、出力制御信号Bが高レベルになると、冗長アドレスプログラミング回路1, 2からの信号をそれぞれインバータIV1, IV2を介して出力(RW1, RW2)し各冗長アドレス線へ供給する。

【0007】 論理回路G1は、切換回路6aの各出力信号を入力し、冗長アドレス線の1つが選択レベルになると主メモリセルアレイのアドレスの選択を停止する信号MWNを出力する。

【0008】 次に、この冗長アドレス選択回路の動作について説明する。

【0009】 主メモリセルアレイのアドレス“01”

(アドレス信号X0=1, X1=0)に不良メモリセルがある場合について説明する。この場合、冗長アドレスプログラミング回路1と対応する冗長アドレス線を選択するものとする、ヒューズF11, F14を切断すればよい。

【0010】 今、アドレス信号X0=0, X1=0が入力されると、トランジスタQ11, Q14がオン、トランジスタQ12, Q13がオフとなる。トランジスタQ11, Q14と接続するヒューズF11, F14は切断されているので、冗長アドレスプログラミング回路1の出力端N1は高レベルを保持し、出力制御信号Bが高レベルになると、切換回路6a、インバータIV1を介して高レベル(選択レベル)の信号RW1が対応する冗長アドレス線に供給され、冗長メモリセルの所定のアドレスが選択される。これと同時に、論理回路G1から高レベルの信号MWNが出力され、主メモリセルアレイのアドレスは全て選択されないようになる。

【0011】冗長アドレスプログラミング回路2においては、ヒューズF21～F24の何れも切断されていない（プログラミングされていない）ので、全てのアドレス信号X0、X1に対して必ずオンとなるトランジスタが存在し出力端N2を低レベルにする。従って信号RW2は低レベルの非選択レベルのままである。また、冗長アドレスプログラミング回路1においても、アドレス信号X0=1、X1=0以外のアドレス信号に対しては、必ずオンとなるトランジスタが存在するので信号RW1は低レベルとなる。

#### 【0012】

【発明が解決しようとする課題】上述した従来の冗長アドレス選択回路は、ヒューズF11～F14、F21～F24の切断、非切断により冗長アドレス線の1つを選択する構成となっていないので、ヒューズは一度切断すると復元が不可能なため、代替え使用する冗長メモリセルアレイのアドレス中に不良メモリセルがあった場合、代替え後も不良となりこれを避けることができず、結局半導体メモリが不良品となり、製品の歩留りが低下するという問題点があった。

【0013】本発明の目的は、ヒューズ切断前に冗長メモリセルアレイの良否を確認することができ、製品の歩留りを向上させることができる冗長アドレス選択回路を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明の冗長アドレス選択回路は、主メモリセルアレイのメモリセルに不良が発生したときに代替え使用される冗長メモリセルアレイのメモリセルを所定の単位で選択するための複数の冗長アドレス線とそれぞれ対応して設けられ、複数のヒューズ素子及びトランジスタを備えてアドレス信号を入力しこのアドレス信号が前記主メモリセルアレイの不良メモリセルの存在するアドレスを指定したとき前記各ヒューズ素子の切断、非切断の状態に応じて対応する前記冗長アドレス線を選択レベルにするための信号を出力する冗長アドレスプログラミング回路と、制御信号が第1のレベルのとき前記複数の冗長アドレス線のうちの1つを選択レベルにするための信号を出力する冗長アドレス指定回路と、前記制御信号が第1のレベルのとき前記冗長アドレス指定回路の出力信号により前記複数の冗長アドレス線のうちの1つを選択レベルとし、第2のレベルのとき前記各冗長アドレスプログラミング回路の出力信号により対応する前記冗長アドレス線のレベルを制御する切換手段と、前記複数の冗長アドレス線のうちの1つが選択レベルになったとき前記主メモリセルアレイのアドレスの選択を停止する信号を出力する論理回路とを有している。

#### 【0015】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0016】図1は本発明の一実施例を示す回路図である。

【0017】冗長アドレスプログラミング回路1、2は図2に示された従来例と同様に構成され、また同様の機能をもつ。

【0018】冗長アドレス指定回路3は、制御信号Φの反転信号が低レベルのときアドレス信号X1及びその反転信号により直接複数の冗長アドレス線のうちの1つを選択レベルにするための信号を出力する。また、高レベルのときはこれら信号をインアクティブレベルの低レベルにする。

【0019】切換回路4、5は、各冗長アドレスプログラミング回路1、2とそれぞれ対応して設けられ制御信号Φが高レベルのとき対応する冗長アドレスプログラミング回路1、2の出力信号をインアクティブレベルの低レベルにする。

【0020】トランジスタQ1、Q2は、従来例と同様に、プリチャージ信号Aに従って、対応する冗長アドレスプログラミング回路1、2の出力端N1、N2を、切換回路4、5を介して予めプリチャージする。

【0021】切換回路6は、各冗長アドレスプログラミング回路1、2の出力信号及び冗長アドレス指定回路3の対応する出力信号のうちの、制御信号Φ及びその反転信号によりインアクティブレベルとなっていない方の信号をそれぞれ出力する。この切換回路6と切換回路4、5と冗長アドレス指定回路とにより、制御信号Φが高レベルのとき冗長アドレス指定回路の出力信号により複数の冗長アドレス線のうちの1つを選択レベルとし、低レベルのとき各冗長アドレスプログラミング回路1、2の出力信号により対応する冗長アドレス線のレベルを制御する切換手段を形成する。

【0022】論理回路G1は従来例と同様の機能をもっている。

【0023】次に、この実施例の動作について説明する。

【0024】制御信号Φが低レベルのときは、冗長アドレス指定回路3の出力は全てインアクティブレベルの低レベルとなり、トランジスタQ41、Q51はオン、トランジスタQ42、Q52はオフとなるので、図2の従来例と同様の回路となり、冗長アドレスプログラミング回路1、2により冗長アドレス線の選択及び主メモリセルアレイのアドレスの選択の停止を行うことができる。

【0025】制御信号Φが高レベルのときは、冗長アドレス指定回路3からアドレス信号X1及びその反転信号により直接冗長アドレス線を選択するための信号が出力されまた、トランジスタQ41、Q51はオフ、トランジスタQ42、Q52はオンとなり、冗長アドレスプログラミング回路1、2の出力端N1、N2はインアクティブレベルの低レベルとなる。従って、切換回路6からは、冗長アドレス指定回路3から出力される信号が複数

5

の冗長アドレス線のうちの1つを選択レベルにする信号RW1, RW2として出力される。すなわち、冗長アドレス指定回路3により、直接冗長アドレスを選択することができる。これは冗長アドレスプログラミング回路1, 2をプログラミングする前でもまたその後でも可能である。

【0026】このような構成とすることにより、冗長アドレスプログラミング回路1, 2をプログラミングする前に冗長メモリセルアレイの良否を確認しその不良部分を除去することができるので、冗長アドレスプログラミング回路1, 2をプログラミングした後での冗長メモリセルアレイの不良による不良品がなくなり製品の歩留りを向上させることができる。

【0027】また、冗長アドレス指定回路3により冗長メモリセルアレイに不良メモリセルがないことを確認した後、冗長アドレスプログラミング回路1, 2をプログラミングして冗長メモリセルアレイによる代替え動作を行ったとき、不良が発生するようであれば、冗長メモリセルアレイ以外の例えば冗長アドレスプログラミング回路1, 2等に不良の原因があることが分る。

【0028】なお、上述の動作は、ウェーハテスト時に行うこともできるが、組立て後に、制御信号Φ又はその反転信号を、外部から直接入力するか、外部から制御して内部で発生させるようにしておけば、制御信号Φ又はその反転信号により冗長機能を活性化させ、冗長メモリセルアレイに主メモリセルアレイと異なるデータを書込むことで、組立て後に、置換アドレスの検出が可能であ

6

るため、ロールコール機能も併せて実現されることができ。

【0029】

【発明の効果】以上説明したように本発明は、冗長アドレスプログラミング回路のプログラミングが実施されているか否かに関係なく、制御信号を所定のレベルにして冗長メモリセルアレイのアドレスを直接指定選択する冗長アドレス指定回路を設けた構成とすることにより、冗長アドレスプログラミング回路をプログラミングする前に冗長メモリセルアレイの良否を確認し、この冗長メモリセルの不良部分を除去することができるので、冗長アドレスプログラミング回路をプログラミングした後での冗長メモリセルアレイによる不良をなくすことができ、製品の歩留りを向上させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】従来の冗長アドレス選択回路の一例を示す回路図である。

【符号の説明】

- 1, 2 冗長アドレスプログラミング回路
- 3 冗長アドレス指定回路
- 4~6, 6a 切換回路
- F11~F14, F21~F24 ヒューズ
- G1 論理回路
- IV1, IV2 インバータ
- Q1, Q2, Q11~Q14, Q21~Q24 トランジスタ

【图2】

